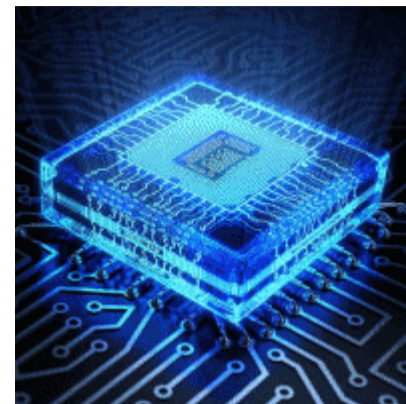


Materiały dla uczniów  
liceum

# Zastosowania bitów w praktyce



Autor artykułu: mgr Jerzy Wałaszek

## Bity w elektronice

### Przerzutnik RS

#### SPIS TREŚCI

[Pojęcie bitu](#)[Przesyłanie bitów](#)[Bity w elektronice](#)

- [Bramki logiczne](#)
- [Cyfrowe układy scalone TTL i CMOS](#)
- [Zasilanie układów TTL i CMOS](#)
- [Układy kombinatoryczne z bramek cyfrowych](#)
- [Zjawisko hazardu w sieciach logicznych](#)
- [Przerzutniki](#)
- [Przerzutnik RS](#)
- [Przerzutnik D](#)
- [Przerzutnik J-K](#)
- [Licznik asynchroniczny](#)
- [Licznik synchroniczny](#)
- [Licznik rewersyjny](#)
- [Rejestr](#)
- [Rejestr przesuujący](#)

[Zapamiętywanie bitów](#)[Sterowanie za pomocą bitów](#)[Przetwarzanie bitów](#)

#### Podrozdziały

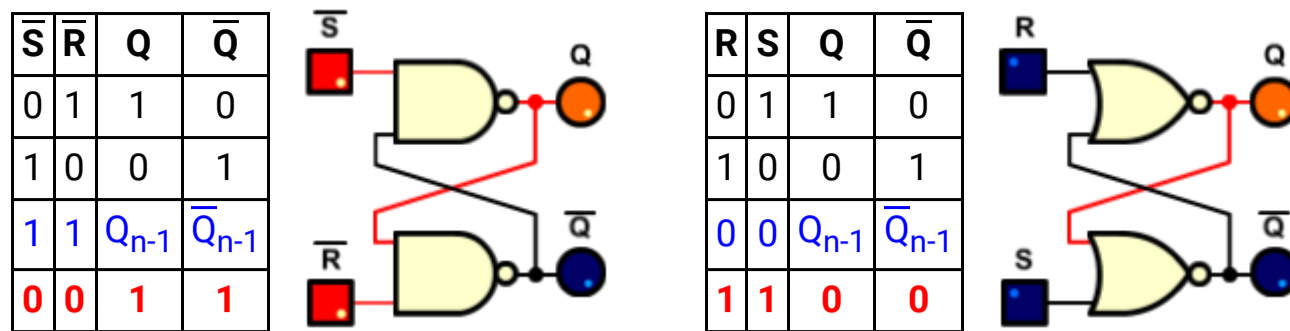
- [Opis](#)
- [Synchroniczny przerzutnik RS](#)
- [Przerzutnik RS wyzwalany zboczem sygnału zegarowego](#)
- [Oznaczenia wejść zegarowych przerzutników](#)

## Opis

**Przerzutnik RS** (od ang. RS flip flop lub SR flip flop - Set Reset - Ustaw, Zeruj) jest najprostszym rodzajem przerzutnika, który można zbudować z dwóch dwu wejściowych bramek **NOR** lub **NAND**. Przerzutnik powstaje dzięki **sprzężeniu zwrotnemu** (ang. feed back) wyjść z wejściami. Sprzężenie zwrotne powoduje, iż przerzutnik utrzymuje ostatni stan wyjść  $Q_{n-1}$  po przejściu stanów logicznych na wejściach w stan neutralny. Poniżej przedstawiamy symulację przerzutnika RS z bramek NAND i NOR.

Przerzutnik SR z bramek NAND

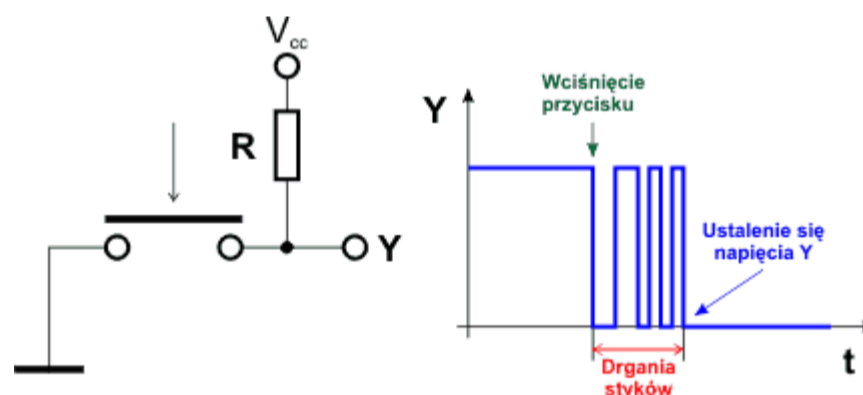
Przerzutnik RS z bramek NOR



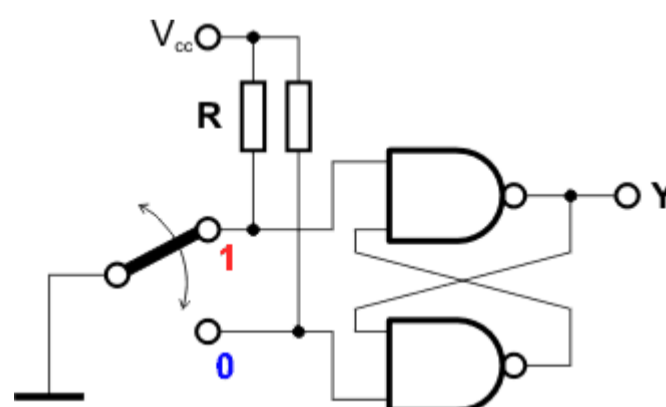
W przerzutniku SR zbudowanym z bramek NAND wejścia  $\bar{S}$  i  $\bar{R}$  są aktywne przy stanie 0. Stan 1 jest dla nich stanem neutralnym. Jeśli wejście  $\bar{S}$  przejdzie w stan 0, to wymusi ono stan 1 na wyjściu Q. Przejście wejścia  $\bar{R}$  w stan 0 wymusi stan 0 na wyjściu Q. Powrót wejść  $\bar{S}$  i  $\bar{R}$  do stanu neutralnego nie zmienia stanu logicznego wyjścia Q - przerzutnik zapamiętuje ustawiony stan logiczny. Jeśli oba wejścia  $\bar{S}$  i  $\bar{R}$  znajdą się w stanie niskim 0, będziemy mieli do czynienia ze **stanem zabronionym** - oba wyjścia Q i  $\bar{Q}$  znajdą się w stanie wysokim 1, co jest sprzeczne z ich definicją. Powrót jednego z wejść  $\bar{S}$  lub  $\bar{R}$  do stanu neutralnego 1 wymusi odpowiedni stan przerzutnika. Problem jednakże pojawi się, jeśli oba wejścia  $\bar{S}$  i  $\bar{R}$  jednocześnie przejdą ze stanu 0 do stanu 1. W takim przypadku stan przerzutnika będzie zależał od wewnętrznych hazardów i wynik jest nieokreślony, tzn. na wyjściu Q może pojawić się zarówno stan 0 jak i stan 1 - nie da się przewidzieć, który z tych stanów ustali się w przerzutniku.

W przerzutniku RS zbudowanym z bramek NOR wejścia R i S są aktywne przy stanie logicznym 1. Stanem neutralnym jest dla nich stan 0. Jeśli wejście S przejdzie w stan 1, to wymusi ono stan 1 na wyjściu Q. Podobnie stan 1 na wejściu R wymusza stan 0 na wyjściu Q. Stanem zabronionym jest stan 1 na obu wejściach R i S przerzutnika. W takim przypadku oba wyjścia Q i  $\bar{Q}$  przechodzą w stan 0. Jeśli teraz wejścia S i R przejdą jednocześnie w stan neutralny 0, to wynikowy stan wyjścia Q jest nieokreślony - może być równy 1 lub 0 w zależności od wewnętrznych hazardów w sieci logicznej przerzutnika, nie daje się przewidzieć.

Przerzutniki RS często są stosowane do odczytu stanu przełączników mechanicznych. Przełączniki te mają taką własność, iż w momencie przełączenia styki często wykonują drgania sprężyste, co powoduje powstawanie serii krótkich impulsów napięciowych, które mogą być szkodliwe dla układów cyfrowych:



Rozwiązaniem jest zastosowanie przerzutnika SR z bramek NAND.



Drgania styków nie przeniosą się na wyjście, ponieważ sygnał wejściowy S lub R ustawi odpowiednio stan Y i ewentualne zmiany tego sygnału nie spowodują już zmiany poziomu logicznego wyjścia Y.

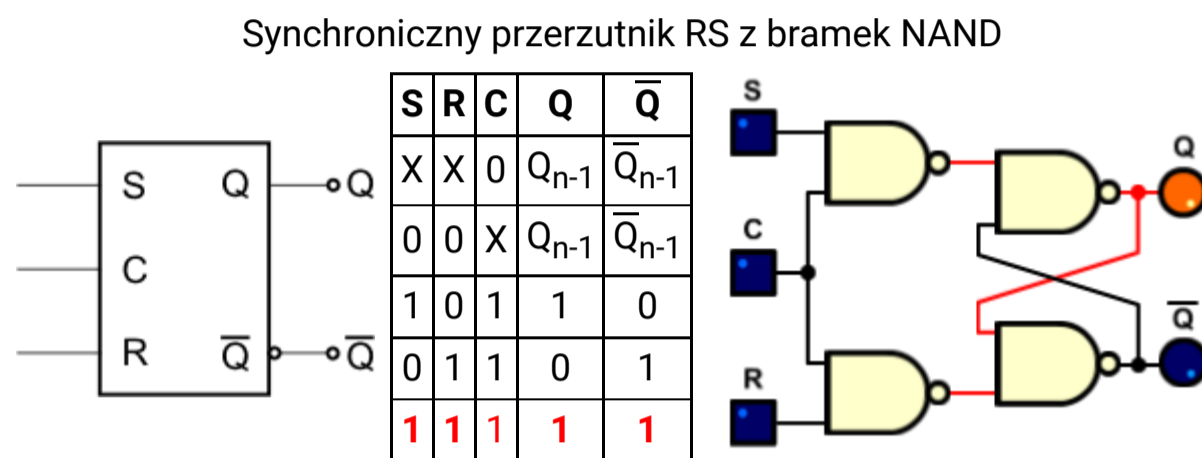
Na początek: podrozdziału    strony

## Synchroniczny przerzutnik RS

Jednym ze sposobów zapobiegania **hazardom** w sieciach cyfrowych jest zastosowanie **taktowania**. Polega ono na tym, iż funkcje przełączające są sterowane dodatkowym sygnałem cyfrowym, zwanym **sygnałem zegarowym** lub **taktem** (ang. **clock signal**). Sygnał taktowania dociera jednocześnie do poszczególnych elementów sieci cyfrowej i umożliwia ich synchronizację - czyli jednoczesne, skoordynowane działanie.

Poniżej prezentujemy **synchroniczny przerzutnik RS** wyposażony w dodatkowe wejście zegarowe C (ang. **Clock**).

Jeśli na wejściu zegarowym panuje stan niski, to wejścia R i S są odseparowane od przerzutnika. Zatem wszelkie zmiany ich stanów nie wpływają na stan wyjść przerzutnika. Pojawienie się stanu wysokiego na wejściu C odblokowuje wejścia R i S. Teraz stan wyjściowy przerzutnika może się zmieniać zgodnie z funkcjami sygnałów wejściowych R i S.



Przeanalizujmy działanie przedstawionego układu.

- Jeśli na wejściu zegarowym C jest stan niski, to wyjścia obu bramek sterujących są w stanie wysokim bez względu na stan wejść S i R. Przerzutnik pamięta stan poprzedni.
- Jeśli na wejściach S i R panuje stan niski, to bez względu na stan wejścia zegarowego C wyjścia bramek sterujących przerzutnikiem są w stanie wysokim. Przerzutnik pamięta stan poprzedni.
- Jeśli wejście zegarowe C przejdzie w stan wysoki, to wejścia S i R zostaną odblokowane i będą sterować przerzutnikiem. Ponieważ bramki wejściowe NAND odwracają sygnały wejść, to stanem aktywnym jest teraz stan wysoki:
  - S = 1, R = 0 - wyjście Q przechodzi w stan 1
  - S = 0, R = 1 - wyjście Q przechodzi w stan 0
  - S = 1, R = 1 - stan niedozwolony, oba wyjścia Q i  $\bar{Q}$  przechodzą w stan 1. Jeśli teraz równocześnie sygnały wejściowe S i R przejdą w stan 0 lub sygnał zegarowy przyjmie poziom niski, to przerzutnik przejdzie w stan wyjścia Q - 0 lub 1, zależny od hazardów w wewnętrznej sieci logicznej (tzn. **nie da się przewidzieć, czy będzie to stan 1, czy stan 0, stąd mamy nieokreśloność**). Jeśli tylko jeden z sygnałów S lub R przejdzie w stan niski, to pozostały sygnał określi stan przerzutnika.

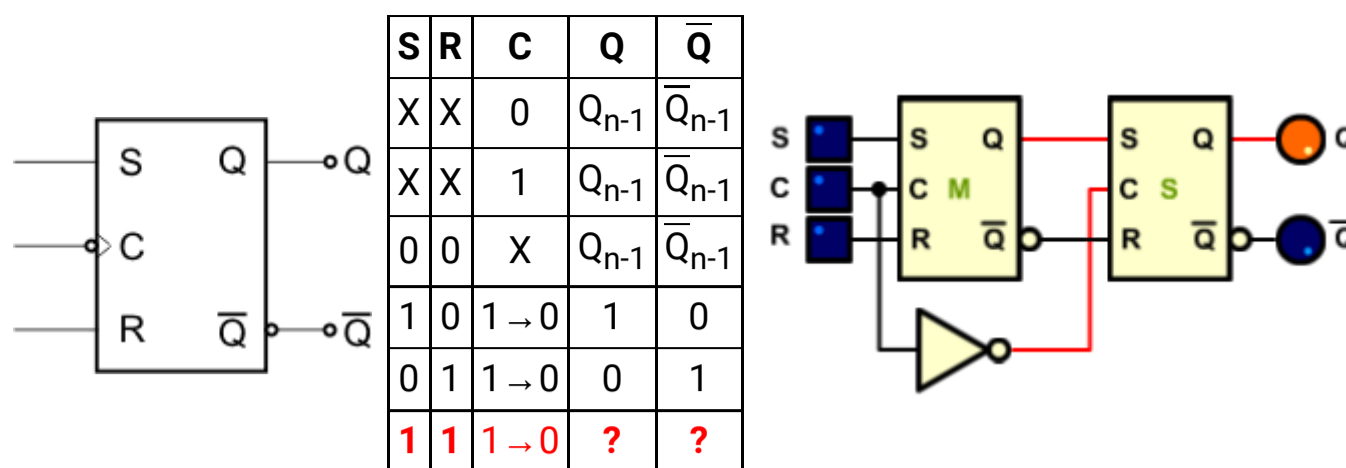
Na początek: [podrozdziału](#) [strony](#)

## Przerzutnik RS wyzwalany zboczem sygnału zegarowego

Zwróć uwagę, iż w poprzednim rozwiązaniu wejścia S i R mogły oddziaływać na stan przerzutnika przez cały czas, gdy sygnał zegarowy był w stanie wysokim. Czasami jest to niepożądane. W takich przypadkach stosuje się przerzutniki wyzwalane zboczem sygnału zegarowego. Oznacza to, iż stan wyjść przerzutnika zmienia się zgodnie z jego definicją sygnałów sterujących tylko w krótkiej chwili, gdy sygnał zegarowy zmienia swój poziom, np. z 0 na 1 lub z 1 na 0. Unika się w ten sposób zakłóceń w pracy układów cyfrowych, które mogą wystąpić ze względu na hazardy pomiędzy zboczami sygnału zegarowego.

Aby uzyskać taki sposób działania stosujemy dwa synchroniczne przerzutniki SR połączone następująco:

### Synchroniczny przerzutnik RS Master-Slave



Pierwszy przerzutnik nazwano **Master** (ang. pan, władca). Jego zadaniem jest sterowanie drugim przerzutnikiem zwanym **Slave** (ang. niewolnik, sługa). Zwróć uwagę, iż do przerzutnika Slave dociera zanegowany sygnał zegarowy poprzez **bramkę NOT**. Dzięki temu w danym momencie zawsze aktywny jest tylko jeden z przerzutników:

- C = 1 - aktywny jest przerzutnik Master, a nieaktywny Slave (pamięta on swój poprzedni stan)
- C = 0 - nieaktywny jest Master (pamięta poprzedni stan), a aktywny jest Slave.

Przeanalizujemy pracę tego układu.

- Jeśli sygnał zegarowy C ma stan wysoki lub niski, to stan wejść S i R nie wpływa bezpośrednio na wyjścia Q i  $\bar{Q}$ . Wyjaśnienie tego faktu jest bardzo proste:  
Jeśli C = 1, to sygnały R i S sterują przerzutnikiem Master. Jego wyjścia Q i  $\bar{Q}$  są połączone z wejściami S i R przerzutnika Slave, który jednakże jest zablokowany, ponieważ na jego wejściu zegarowym C panuje stan niski. Jeśli C = 0, to zablokowany jest przerzutnik Master. Zatem na wejściach S i R przerzutnika Slave, który jest odblokowany, panują niezmiennie stany, zapamiętane przez Master.
- Podobna sytuacja panuje w przypadku, gdy wejścia S i R układu znajdują się w stanach niskich. Wtedy bez względu na zmiany stanu wejścia zegarowego C układu przerzutnik Master pamięta swój stan poprzedni, który steruje przerzutnikiem Slave.
- Zmiany stanu wyjść Q i  $\bar{Q}$  układu dokonują się tylko przy przejściu sygnału zegarowego z 1 na 0 (nazywamy to **ujemnym zboczem sygnału zegarowego**). Wtedy przerzutnik Master zatrzymuje stan wymuszony przez wejścia S i R. Na wyjściach Q i  $\bar{Q}$  przerzutnika Master ustalają się odpowiednie stany, które z kolei przenoszone są na wejścia S i R przerzutnika Slave. Gdy sygnał zegarowy C osiągnie poziom niski, na wyjściu bramki NOT pojawi się stan wysoki, który odblokowuje przerzutnik Slave. Przerzutnik Slave zostajeysterowany sygnałami wyjściowymi z przerzutnika Master i zmieni odpowiednio swój stan zgodnie z tabelką.
- Ciekawa sytuacja występuje w przypadku, gdy oba wejścia S i R układu są w stanie wysokim. Jest to stan zabroniony. Otóż przy ujemnym zboczu sygnału zegarowego przerzutnik Master przejdzie w stan nieokreślony - zapamięta 1 lub 0 na wyjściu Q, a wyjście  $\bar{Q}$  przyjmie stan przeciwny. Stanu tego przerzutnika nie można przewidzieć, gdyż zależy on od czasów propagacji użytych bramek, a te potrafią się zmieniać nawet w trakcie pracy układu np. z powodu temperatury lub napięcia zasilającego. W tym momencie uaktywni się przerzutnik Slave. Ponieważ Master jest w stanie przypadkowym, to stan ten przeniesie się na Slave.

Na początek: podrozdziału strony

## Oznaczenia wejść zegarowych przerzutników

Przerzutniki mogą być wyzwalane (zmieniać swój stan w zależności od stanu wejść sterujących) na dwa podstawowe sposoby:

- poziomem logicznym 1 lub 0 sygnału zegarowego
- zboczem dodatnim (zmiana z 0 na 1) lub ujemnym (zmiana z 1 na 0) sygnału zegarowego

Ponieważ informacja o sposobie wyzwalania przerzutnika jest bardzo istotna dla projektanta układów cyfrowych, na schematach stosuje się następujące oznaczenia wejść zegarowych:

- |c wyzwalenie poziomem 1
- |c wyzwalenie poziomem 0
- |c wyzwalenie zboczem dodatnim: 0 → 1
- |c wyzwalenie zboczem ujemnym: 1 → 0

Kółeczko na wejściu oznacza reagowanie wejścia na stan niski. Znak kąta oznacza, iż wejście reaguje na zbocze sygnału zegarowego. Brak tego oznaczenia sugeruje, iż przerzutnik jest wyzwany poziomem logicznym na wejściu zegarowym.

Na początek: [podrozdziału](#) [strony](#)

Materiały tylko do użytku dydaktycznego. Ich kopiowanie i powielanie jest dozwolone pod warunkiem podania źródła oraz niepobierania za to pieniędzy.

Pytania proszę przysyłać na adres email: [i-lo@eduinf.waw.pl](mailto:i-lo@eduinf.waw.pl)

Serwis wykorzystuje pliki cookies. Jeśli nie chcesz ich otrzymywać, zablokuj je w swojej przeglądarce.

[Informacje dodatkowe.](#)



**Zespół Przedmiotowy  
Chemii-Fizyki-Informatyki**  
w I Liceum Ogólnokształcącym  
im. Kazimierza Brodzińskiego  
w Tarnowie  
ul. Piłsudskiego 4  
©2024 mgr Jerzy Wałaszek